

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-144633

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

H03M 13/41

G06F 11/10

G11B 20/10

G11B 20/18

(21)Application number : 11-325364

(71)Applicant : HITACHI LTD

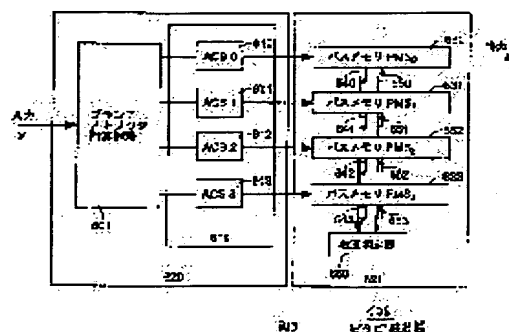
(22)Date of filing : 16.11.1999

(72)Inventor : HIRAI TATSUYA
NISHITANI TAKUJI
YAMAKAWA HIDEYUKI
NARA TAKASHI
IDE HIROSHI**(54) VITERBI DETECTOR, SIGNAL PROCESSING CIRCUIT, RECORDING AND REPRODUCING DEVICE AND INFORMATION PROCESSING SYSTEM**

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption.

SOLUTION: In the case that likelihood calculation is executed on the basis of the Viterbi algorithm, a decoded value series is estimated and they are stored in path memories (630-633), a convergence discriminator (660) discriminates whether an alive path is converged on the basis of the values stored in each stage of the path memories (630-633). When the discriminator (660) discriminates that the alive path has converged, the discriminator (660) stops the operation of the path memories (630-633) that store information prior to the point of time of convergence except one path memory (630) that is selected optionally (but fixedly). Then the discriminator (660) outputs the output of the path memory (630) whose operation has not been stopped as a decoding result. Since the operation of the path memories whose alive path has converged is stopped, the power consumption can be reduced.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-144633

(P2001-144633A)

(43)公開日 平成13年5月25日(2001.5.25)

(51)Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 3 M 13/41		H 0 3 M 13/41	5 B 0 0 1
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10	3 3 0 N 5 D 0 4 4
G 1 1 B 20/10	3 2 1	G 1 1 B 20/10	3 2 1 A 5 J 0 6 5
20/18	5 4 4	20/18	5 4 4 A

審査請求 未請求 請求項の数5 O L (全 16 頁)

(21)出願番号 特願平11-325364

(22)出願日 平成11年11月16日(1999.11.16)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 平井 達哉

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72)発明者 西谷 卓史

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(74)代理人 100095511

弁理士 有近 紳志郎

最終頁に続く

(54)【発明の名称】 ビタビ検出器、信号処理回路、記録再生装置および情報処理システム

(57)【要約】

【課題】 消費電力を削減する。

【解決手段】 ビタビアルゴリズムに基づいて尤度計算を実行し、復号値系列を推定し、それらをパスメモリ(630~633)に格納する際、パスメモリ(630~633)の各段に保持している値から生き残りパスが収束しているか否か収束判定器(660)で判定し、収束していると判定した場合は、収束している時点より以前の情報を格納するパスメモリ(630~633)のうち、任意に(ただし固定的に)選んだ1つのパスメモリ(630)を除いて動作を止める。そして、その動作を止めなかったパスメモリ(630)の出力を、復号結果として出力する。

【効果】 生き残りパスが収束しているパスメモリの動作を止めるので、消費電力を削減できる。

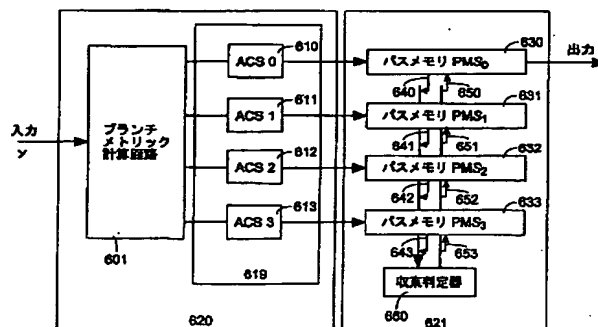


図3 406 ビタビ検出器

【特許請求の範囲】

【請求項 1】 離散時刻系において時刻 t (但し、 t は 2 以上の自然数) での符号値と時刻 $(t-1)$ での状態とにより時刻 t での状態が定まる N 個 (N は 2 以上の自然数) の状態を有し、各々の状態は 1 ビットまたは複数ビットで表現されるような系であって、時刻 $(t-1)$ における状態から時刻 t における状態への状態遷移によって時刻 t における復号値が定まる特性を有する符号を対象とし、符号値系列に対して誤差が重畳されている入力値系列より復号値系列を定めるビタビ検出器であって、
 10 N 個の各状態に対応して各々設けられた複数の生き残りパス算出手段と、複数のパスメモリとを有し、前記各生き残りパス算出手段は、 n 番目の状態があることを前提として、当該前提とした n 番目の状態に至る複数の状態遷移の経路のうち最も確からしい状態遷移の経路を、各状態遷移の経路をもたらし符号値系列と入力値系列との相違に基づいて、 n 番目の状態へ至る生き残りパスとして推定し、それと共に推定した生き残りパスの確からしさをパスメトリックとして算出し、
 前記各パスメモリは、時刻 t における生き残りパスを推定した際に、当該推定された生き残りパスにより定まる時刻 t における復号値と、当該パスメモリもしくは他のパスメモリに格納されている $(t-1)$ 番目から $(t-k)$

(但し、 k は 2 以上の整数) 番目の復号値よりなる復号値系列を組み合わせて、当該推定された生き残りパスにより定まる時刻 t から時刻 $(t-k)$ の復号値よりなる復号値系列を生成し、

生成した復号値系列中の時刻 t から時刻 $(t-k+1)$ 番目の復号値よりなる復号値系列を格納する際に、全てのパスメモリが保持している値から生き残りパスが収束していることかどうかを判定し、生き残りパスが収束していると判定された場合は、収束している時点より以前の情報を格納するパスメモリのうち、任意に (ただし固定的に) 選んだ 1 つのパスメモリを除いて動作を止め、生き残りパスが収束していないと判定された場合は、全てのパスメモリを動かし続け、

その際に、生き残りパスの収束状態を格納するレジスタを設け、そこに収束状態を各時刻毎に書き込み、各パスメモリが出力する各時刻 $(t-k)$ における復号値のうち、前記動作を止めなかったパスメモリの出力を復号結果として出力することを特徴とするビタビ検出器。

【請求項 2】 請求項 1 に記載のビタビ検出器において、各々の状態において複数のパスメモリから 1 つのパスメモリを選択する機能をもつセクタを有し、時刻 $(t-k)$ における収束状態を格納しているレジスタが、生き残りパスが未収束であることを示していた場合に、各生き残りパス算出手段が算出した各パスメトリックのうち最も確からしいことを表すパスメトリックが算出された生き残りパスに対応する復号値系列中時刻 $(t-k)$ における復号値を、各パスメモリが出力する時刻 $(t-$

$k)$ の復号値のうちから選択して、ビタビ検出器の復号結果として出力することを特徴とするビタビ検出器。

【請求項 3】 請求項 1 または請求項 2 に記載のビタビ検出器を備えた信号処理回路であって、入力信号に重畳された高域ノイズを除去するアナログフィルタと、そのアナログフィルタの出力信号をアナログ・デジタル変換するアナログ・デジタル変換器と、デジタル変換された信号を予め定めた等化特性によって等化させる波形等化器とを備え、当該波形等化器の出力系列を前記ビタビ検出器の入力系列とすることを特徴とする信号処理回路。

【請求項 4】 請求項 3 に記載の信号処理回路を備えた記録再生装置であって、

信号を記録する記録媒体と、当該記録媒体に記録された信号を読み出すヘッド部とを備え、該ヘッド部で読み出した記録信号を前記アナログフィルタの入力信号とすることを特徴とする記録再生装置。

【請求項 5】 請求項 4 に記載の記録再生装置と、当該記録再生装置に接続し、当該記録再生装置を外部記憶装置として利用する情報処理装置とを備えたことを特徴とする情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ビタビ検出器、信号処理回路、記録再生装置および情報処理システムに関し、さらに詳しくは、消費電力を削減することができるビタビ検出器、信号処理回路、記録再生装置および情報処理システムに関する。

【0002】

【従来の技術】 磁気記録再生装置 (例えば、磁気ディスク装置、磁気テープ装置) や、光もしくは光磁気記録再生装置 (例えば、光ディスク装置、光磁気ディスク装置) において、PR (Partial Response: パーシャルレスポンス) 方式によって波形等化を行い、データの検出を ML (Maximum Likelihood: 最尤) 復号方式によって行う PRML 方式が実用化されている。この PRML 方式は、符号間干渉 (隣接している記録ビットに対応する再生信号の干渉) を積極的に利用して、最も確からしいデータ系列を復号データとする復号方法である。このような PRML 方式によれば、信号チャネルの帯域を制限することで、低い S/N 比の再生波形に対しても検出精度を高めることができ、これにより、記録密度を向上させることが出来る。

【0003】 PR 方式には、どのような符号間干渉を与えるかによって、いくつかの種類がある。例えば、磁気ディスク装置では、帯域通過型の特性をもつ PR 方式がよく用いられる。最近では、更に帯域周波数を低くする EPR (Extended PR) 方式や EEP R (Extended EPR) 方式などが注目されている。

【0004】 EPR 方式の伝達関数は、 $G(D) = (1 -$

$D^2)$ $(1+D)$ と表現される。ここで、 D は、遅延演算子を表している。符号干渉の長さ(拘束長) L は“3”となる。 $EEPR$ 方式の伝達関数は、 $G(D) = (1-D^2)(1+D)^2$ と表現される。符号干渉の長さ(拘束長) L は“4”となる。

【0005】記録データが2値の磁気記録再生系では、 2^L 個の異なる符号間干渉の仕方すなわち状態が存在する。このため、 EPR 方式を用いるシステムのビタビ検出器では8状態を扱うことになる。また、 $EEPR$ 方式を用いるシステムのビタビ検出器では16状態を扱うことになる。 EPR 方式や $EEPR$ 方式を用いると、最も基本的な PR 方式に比べて、ビタビ検出器の構成は複雑となるが、データ検出精度を改善できる。

【0006】 PR 方式で波形等化された信号は、前後の信号との相関をもつようになる。このような信号列に対し、振幅の相関による信号の特性を活用して、ビタビ検出器は、最も確からしい値を推定して復号を行う。

【0007】図12に、従来のビタビ検出器を備えた磁気ディスク装置の信号系統モデルを示す。この磁気ディスク装置120は、プリコーダ101と、 R/W アンプ110と、磁気ディスク411と、ヘッドの再生特性を表した $(1-D)$ 演算器102と、アナログフィルタ103と、 A/D 変換器104と、波形等化器105と、ビタビ検出器106とから構成される。前記 $(1-D)$ 演算器102の出力には、雑音が重畳されている。

【0008】入力データは、プリコーダ101において“ $1/(1-D^2) \text{ modulo } 2$ ”演算によりプリコーディングされ、 R/W アンプ110を通して、磁気ディスク411に記録される。再生信号は、信号に重畳された高域雑音を除去するアナログフィルタ103および所定時間間隔ごとにアナログ/デジタル変換を行う A/D 変換器104を通り、波形等化器105で等化される。等化されたデータは、ビタビ検出器106で入力信号系列へ復号される。

【0009】図13に、 EPR 伝送路のトレリス線図を示す。 $EPRML$ を行う場合、符号間干渉の組み合わせ(状態)は、 $S_0 \sim S_7$ の8状態となる。時刻 $(t-1)$ における各状態 $S_i(t-1)$ の点から出る枝(ブランチ)は、上側の枝が入力値“0”のときに遷移する方向を示し、下側の枝が入力値“1”のときに遷移する方向を示す。時刻 t における各状態 S_i の点の右側に x_1/z_1 、 x_2/z_2 の形で書かれている x_1 の値は、各状態に向かう上側の枝にふられた、ビタビ検出器106の出力値(チャンネルへの入力値)である。また、 z_1 の値は、各状態に向かう上側の枝にふられた、尤度計算実行時に比較対象となる目標値である。また、 x_2 の値は、各状態に向かう下側の枝にふられた、ビタビ検出器106の出力値である。また、 z_2 の値は、各状態に向かう下側の枝にふられた、尤度計算実行時に比較対象となる目標値である。例えば、時刻 $(t-1)$ における状態が S_0 であつ

た場合に、枝は S_0 または S_1 に向かい。時刻 t の再生系の入力値が“0”であるときには、上側の枝を遷移し、時刻 t の状態は S_0 となり、ビタビ検出器106の出力値(復号結果)は“0”となる。

【0010】もし、再生信号に雑音がなければ、波形等化された再生信号 $y(t)$ より、ユークリッド距離 $(y(t) - z(t))^2 = 0$ に従って、目標値 $z(t)$ (再生信号が本来表している入力値)を一意に定めることができる。しかし、実際には再生信号 $y(t)$ には雑音 $n(t)$ が含まれるので、 $y(t) = z(t) + n(t)$ となる。雑音の付加された信号 $y(t)$ に対して、ビタビ検出器106は、ユークリッド距離 $(y(t) - z(t))^2$ の和を最小にする目標値 $z(t)$ の列を再生信号 $y(t)$ の列が表しているものと推定する最尤復号を行う。

【0011】次に、ビタビ検出器106について説明する。ここでは、 $EPRML$ を例にとって説明する。図14に、ビタビ検出器106の概略構成図を示す。ビタビ検出器106は、ブランチメトリック計算回路301および ACS (Add-Compare-Select: 加算比較選択)回路310~313から成る ACS 部320と、パスメモリ330~333から成るパスメモリ部321とから構成される。 ACS 回路310~313は、各状態 S に対応して設けられる。パスメモリ330~333は、各状態 S に対応して設けられる。各パスメモリ330~333は、シフトレジスタによって構成されている。

【0012】ブランチメトリック計算回路301は、時刻 t において、ビタビ検出器106に再生信号 $y(t)$ が入力されると、図2のトレリス線図の各枝に対応した目標値 $z(t)$ と再生信号値 $y(t)$ とのユークリッド距離を計算し、対応する ACS 回路310~313に送る。例えば、図13で状態 S_0 に向かう枝は、状態 S_0 からと状態 S_4 からの2つあり、各々の目標値 z_1 、 z_2 は“0”、“-1”である。この場合、再生信号 $y(t)$ と目標値 z_1 とのユークリッド距離および再生信号 $y(t)$ と目標値 z_2 とのユークリッド距離をそれぞれ求め、その結果を状態 S_0 に対応する ACS_0 回路310に送る。上記のような、状態 $S_j(t-1)$ から $S_i(t)$ に向かう枝に対応する目標値 $z(t)$ と再生信号 $y(t)$ のユークリッド距離を、その枝の時刻 t のブランチメトリックと呼び、 $B_{ji}(t)$ と表す。

【0013】 i 番目の ACS_i 回路312は、現在の状態が S_i であることを前提として、状態 S_i に至るパスの中で最も確からしいパスの「確からしさ」を算出し管理する。この「確からしさ」をパスメトリックと呼び、 $M_i(t)$ と表す。

【0014】すなわち、ブランチメトリック計算回路301からブランチメトリック $B_{ji}(t)$ を受け取った ACS_i 回路312は、時刻 t の状態が S_i であることを前提として、時刻 t に S_i に至る2つの枝のうち、どちらの枝を通る方が確からしいかを推定する。例えば、 S_i に

5

対して、 S_j から向かう枝と S_k から向かう枝が存在するとする。このとき、 ACS_i 回路312には、ブランチメトリック計算回路301から、ブランチメトリック $B_{ji}(t)$ と $B_{ki}(t)$ とが送られる。ブランチメトリック $B_{ji}(t)$ と $B_{ki}(t)$ とを受信した ACS_i 回路312は、 S_j から S_i に向かう枝として ACS_j 回路が時刻 $(t-1)$ に算出したパスメトリック $M_j(t-1)$ と、 S_j から S_i に向かう枝のブランチメトリック $B_{ji}(t)$ とを加算してパスメトリック $M1$ を算出する。同様に、 S_k から S_i に向かう枝として ACS_k 回路が時刻 $(t-1)$ に算出したパスメトリック $M_k(t-1)$ と、 S_k から S_i に向かう枝のブランチメトリック $B_{ki}(t)$ とを加算してパスメトリック $M2$ を算出する。このようにして求めたパスメトリック $M1$ 、 $M2$ のうちから最も小さいものをパスメトリック $M_i(t)$ として選択する。これにより、時刻 t の時に状態 S_i に至るパスのうち、最も確からしいパスのパスメトリック $M_i(t)$ を求める。このとき、各状態において選ばれた「生き残りパス」(枝)に対応する出力値を、パスメモリ330～333にそれぞれ出力する。この際、生き残りパス中の時刻 $(t-1)$ の状態も、パスメモリ330～333に通知する。

【0015】 i 番目のパスメモリ332は、現在の状態が S_i であることを前提として、状態 S_i に至るパスのうち最も確からしいパスに対応する出力値の列を記憶する。すなわち、 ACS_i 回路312から時刻 $(t-1)$ の状態の通知が送られると、まず、シフトレジスタの内容を、通知された時刻 $(t-1)$ の状態に対応するシフトレジスタの時刻 $(t-1)$ の内容で書き換える。そして、シフトレジスタの内容を1ビットシフトし、最前段の1ビットを出力すると共に、これによって空いたシフトレジスタの最後段に、 ACS_i 回路312から送られた出力値を格納する。この結果得られたシフトレジスタの内容が、時刻 t におけるシフトレジスタの内容となる。この動作を各時刻において実行することにより、シフトレジスタには ACS_i 回路312が推定した生き残りパスに対応する出力値列が時系列順に格納されることになる。

【0016】ここで、各パスメモリ330～333を構成するシフトレジスタのビット数が十分に大きければ(通常、拘束長の4～5倍の長さ)、それぞれのパスメモリから出力される出力値は同じ値となる。これは、前述した各 ACS 回路310～313の生き残りパスの推定動作によって、 ACS 回路310～313で推定されたそれぞれの状態における生き残りパスの情報が、過去であればあるほど同じ内容に収束していくことが期待できることによる。この場合、ビタビ検出器106は、どのパスメモリの内容を選択しても、同じ値を出力することになる。

【0017】ビタビ検出器の出力として、あらかじめ設定しておいた特定のパスメモリの最前段から取り出す方式は、C.M. Riggleの米国特許第5,588,011号など

6

に開示されている。しかし、この場合、全ての状態が保有している生き残りパスが必ず一意に収束している必要があるため、十分な長さをもつパスメモリを保有する必要がある、ハードウェアの増大および消費電力の増大を招く。

【0018】そこで、ハードウェアの増大および消費電力の増大を避けるために、各時刻毎にパスメトリックが最も小さくなる状態に対応するパスメモリの内容を選択して出力する方法が特開平11-103258号公報に開示されている。

【0019】

【発明が解決しようとする課題】従来のビタビ検出器では、パスメモリは全ての時刻において動作しており、常に電力を消費している問題点がある。そこで、本発明の目的は、パスメモリが消費する電力を削減できるビタビ検出器、信号処理回路、記録再生装置および情報処理システムを提供することにある。

【0020】

【課題を解決するための手段】第1の観点では、本発明は、離散時刻系において時刻 t (但し、 t は2以上の自然数)での符号値と時刻 $(t-1)$ での状態とにより時刻 t での状態が定まる N 個(N は2以上の自然数)の状態を有し、各々の状態は1ビットまたは複数ビットで表現されるような系であって、時刻 $(t-1)$ における状態から時刻 t における状態への状態遷移によって時刻 t における復号値が定まる特性を有する符号を対象とし、符号値系列に対して誤差が重畳されている入力値系列より復号値系列を定めるビタビ検出器であって、 N 個の各状態に対応して各々設けられた複数の生き残りパス算出手段と、複数のパスメモリとを有し、前記各生き残りパス算出手段は、 n 番目の状態があることを前提として、当該前提とした n 番目の状態に至る複数の状態遷移の経路のうち最も確からしい状態遷移の経路を、各状態遷移の経路をもたす符号値系列と入力値系列との相違に基づいて、 n 番目の状態へ至る生き残りパスとして推定し、それと共に推定した生き残りパスの確からしさをパスメトリックとして算出し、前記各パスメモリは、時刻 t における生き残りパスを推定した際に、当該推定された生き残りパスにより定まる時刻 t における復号値と、当該パスメモリもしくは他のパスメモリに格納されている $(t-1)$ 番目から $(t-k)$ (但し、 k は2以上の整数)番目の復号値よりなる復号値系列を組み合わせ、当該推定された生き残りパスにより定まる時刻 t から時刻 $(t-k)$ の復号値よりなる復号値系列を生成し、生成した復号値系列中の時刻 t から時刻 $(t-k+1)$ 番目の復号値よりなる復号値系列を格納する際に、全てのパスメモリが保持している値から生き残りパスが収束していることかどうかを判定し、生き残りパスが収束していると判定された場合は、収束している時点より以前の情報を格納するパスメモリのうち、任意に(ただし固定的に)選んだ1つ

のパスメモリを除いて動作を止め、生き残りパスが収束していないと判定された場合は、全てのパスメモリを動かし続け、その際に、生き残りパスの収束状態を格納するレジスタを設け、そこに収束状態を各時刻毎に書き込み、各パスメモリが出力する各時刻 ($t-k$) における復号値のうち、前記動作を止めなかったパスメモリの出力を復号結果として出力することを特徴とするビタビ検出器を提供する。上記第 1 の観点によるビタビ検出器では、ビタビアルゴリズムに基づいて尤度計算を実行し、復号値系列を推定し、それらをパスメモリに格納する際、パスメモリの各段において保持している値から生き残りパスが収束しているかどうかを判定する。そして、生き残りパスが収束していると判定した場合は、収束している時点より以前の情報を格納するパスメモリのうち、任意に（ただし固定的に）選んだ 1 つのパスメモリを除いて動作を止める。その際に、生き残りパスの収束状態を格納するレジスタを別に設け、そこに収束状態を各時刻毎に書き込む。そして、各パスメモリが出力する各時刻における復号値のうち、前記動作を止めなかったパスメモリの出力を、復号結果として出力する。これにより、従来のビタビ検出器と比べ、誤り発生率は同じに保ちながら、パスメモリ動作において消費される電力を削減することが出来る。

【0021】第 2 の観点では、本発明は、上記第 1 の観点のビタビ検出器において、各々の状態において複数のパスメモリから 1 つのパスメモリを選択する機能をもつセクタを有し、時刻 ($t-k$) における収束状態を格納しているレジスタが、生き残りパスが未収束であることを示していた場合に、各生き残りパス算出手段が算出した各パスメトリックのうち最も確からしいことを表すパスメトリックが算出された生き残りパスに対応する復号値系列中時刻 ($t-k$) における復号値を、各パスメモリが出力する時刻 ($t-k$) の復号値のうちから選択して、ビタビ検出器の復号結果として出力することを特徴とするビタビ検出器を提供する。上記第 2 の観点によるビタビ検出器では、各時刻毎にパスメトリックが最も小さな状態に対応するパスメモリの内容を選択して出力するため、いつも特定のパスメモリから選択してビタビ検出器の出力を取り出す場合に比べて、パスメモリ長を短くでき、ハードウェアおよび消費電力を削減できる。

【0022】第 3 の観点では、本発明は、上記第 1 または第 2 の観点のビタビ検出器を備えた信号処理回路であって、入力信号に重畳された高域ノイズを除去するアナログフィルタと、そのアナログフィルタの出力信号をアナログ・ディジタル変換するアナログ・ディジタル変換器と、ディジタル変換された信号を予め定めた等化特性によって等化させる波形等化器とを備え、当該波形等化器の出力系列を前記ビタビ検出器の入力系列とすることを特徴とする信号処理回路を提供する。上記第 3 の観点による信号処理回路では、上記第 1 または第 2 の観点による

よるビタビ検出器を用いるため、ハードウェアおよび消費電力を削減できる。

【0023】第 4 の観点では、本発明は、上記第 3 の観点の信号処理回路を備えた記録再生装置であって、信号を記録する記録媒体と、当該記録媒体に記録された信号を読み出すヘッド部とを備え、該ヘッド部で読み出した記録信号を前記アナログフィルタの入力信号とすることを特徴とする記録再生装置を提供する。上記第 4 の観点による記録再生装置では、上記第 3 の観点による信号処理回路を用いるため、ハードウェアおよび消費電力を削減できる。

【0024】第 5 の観点では、本発明は、上記第 4 の観点の記録再生装置と、当該記録再生装置に接続し、当該記録再生装置を外部記憶装置として利用する情報処理装置とを備えたことを特徴とする情報処理システムを提供する。上記第 5 の観点による情報処理システムでは、上記第 4 の観点による記録再生装置を用いるため、ハードウェアおよび消費電力を削減できる。

【0025】

【発明の実施の形態】以下、図を参照して本発明の実施の形態を説明する。なお、これにより本発明が限定されるものではない。

【0026】—第 1 実施形態—

図 1 は、第 1 実施形態に係る磁気ディスク装置の要部構成図である。この磁気ディスク装置 400 は、磁気ディスク 411 と、R/W アンプ 410 と、信号処理回路部 420 とを具備して構成される。前記信号処理回路部 420 は、エンコーダ 401 と、プリコーダ 402 と、アナログフィルタ 403 と、A/D 変換器 404 と、波形等化器 405 と、ビタビ検出器 406 と、“1+D modulo 2” 演算器 407 と、デコーダ 408 とにより構成される。

【0027】信号処理回路部 420 への入力データは、エンコーダ 401 により特定の符号に変換され、プリコーダ 402 へ入力される。プリコーダ 402 では、データの変調処理が行われる。磁気ディスク 411 に記録されるデータは、2 進データであり、“0” または “1” の値をとる。R/W アンプ 410 では、プリコーダ 402 の出力データが “1” のときハイレベル、“0” のときローレベルとなる信号を発生することにより、磁気ディスク 411 にデータを記録する。

【0028】再生信号は、磁気ディスク 411 から読み出されて R/W アンプ 410 で増幅され、高域雑音を除去するアナログフィルタ 403 および所定時間ごとにアナログ/ディジタル変換する A/D 変換器 404 を通り、波形等化器 405 において予め定めた応答波形となるように等化される。なお、再生信号は、磁気ヘッドの特性から磁気ディスク 411 上のデータに対して (1-D) 演算を行ったものが得られる。D は、遅延演算子である。ビタビ検出器 406 は、波形等化器 405 から出

力された再生信号 $y(t)$ に対し、最尤推定を行う。ビタビ検出器406の出力は、“1+D modulo 2”演算器407で“1+D modulo 2”演算が施された後、デコーダ408で元の入力データへと戻される。

【0029】次に、PR(1, 0, -1)伝送路に対応したビタビ検出器406を説明する。なお、本発明は、PR(1, 0, -1)伝送路以外にも適用可能である。

【0030】図2に、PR(1, 0, -1)伝送路のトレリス線図を示す。PR(1, 0, -1)伝送路において最尤復号を行う場合、符号間干渉の組み合わせ(状態)は、 $S_0 \sim S_3$ の4状態となる。トレリス線図中の各枝は、時刻 $(t-1)$ における状態 $S_i(t-1)$ と時刻 t における入力値から時刻 t における状態 $S_i(t)$ が一意に定まり、この状態遷移から時刻 t において復号すべき元のデータである出力値も一意に定まることを表している。例えば、左から右に S_0 から S_0 に向かう枝は、時刻 $(t-1)$ における状態が S_0 であり且つ時刻 t の入力値が“0”であるときには、時刻 t の状態が S_0 となり、出力値(復号結果)が“0”となることを表している。

【0031】もし、再生信号に雑音がなければ、波形等化された信号 $y(t)$ より、ユークリッド距離 $(y(t) - z(t))^2 = 0$ に従って目標値 $z(t)$ (再生信号が本来表している入力値)を一意に定めることができる。しかし、実際には、雑音 $n(t)$ が含まれるので、 $y(t) = z(t) + n(t)$ となる。そこで、ビタビ検出器106は、ユークリッド距離 $(y(t) - z(t))^2$ の和を最小にする目標値 $z(t)$ の列を信号 $y(t)$ の列が表しているものと推定する最尤復号を行う。

【0032】図3は、ビタビ検出器406のブロック図である。ビタビ検出器406は、ブランチメトリック計算回路601およびACS(Add-Compare-Select: 加算比較選択)回路610~613から成るACS部620と、パスメモリ630~633および収束判定器660から成るパスメモリ部621とから構成される。前記ACS回路610~613と前記パスメモリ630~633は、各々の状態 S に対応して設けられる。

【0033】ブランチメトリック計算回路601は、時刻 t において、ビタビ検出器406に再生信号 $y(t)$ が入力されると、トレリス線図上の各枝に対応したそれぞれの目標値 $z(t)$ と再生信号 $y(t)$ の値とのユークリッド距離を計算する。求めたユークリッド距離は、状態 S_i に対応するACS回路610~613に送る。例えば、図2のトレリス線図で、状態 S_0 に向かう枝は2つあり、各々の目標値 $z(t)$ は“0”と“1”である。この場合、再生信号 $y(t)$ と目標値 $z(t) = 0$ とのユークリッド距離および再生信号 $y(t)$ と目標値 $z(t) = 1$ とのユークリッド距離を各々求め、状態 S_0 に対応するACS回路610に送る。上記のような、状態 $S_j(t-1)$ から $S_i(t)$ に向かう枝に対応する目標値 $z(t)$ と再生信号 $y(t)$ のユークリッド距離を、その枝の時刻 t のブランチメ

トリックと呼び、 $B_{ji}(t)$ と表すこととする。

【0034】ACS回路610, 611, 612, 613は、現在の状態が S_0, S_1, S_2, S_3 であることを前提として当該状態 S_i に至る経路(パス)の中で最も確からしいパスの「確からしさ」を算出し管理する。この確からしさをパスメトリックと呼び、 $M_i(t)$ と記す。また、パスメモリ630, 631, 632, 633は、現在の状態が S_0, S_1, S_2, S_3 であることを前提として当該状態 S_i に至るパスのうち最も確からしいパスに対応する出力値の列を記憶する。

【0035】ACS回路610は、時刻 t の状態が S_0 であることを前提として時刻 t に S_0 に至る2つの枝のうち、どちらの枝がより確からしいかを推定する。すなわち、 $S_0(t)$ に対しては $S_0(t-1)$ と $S_1(t-1)$ から向かう2つの枝が存在するので、ブランチメトリック計算回路601から時刻 t の $B_{00}(t)$ と $B_{10}(t)$ とがACS回路610に送られる。これを受信したACS回路610は、 $S_0(t-1)$ から $S_0(t)$ に向かう枝として時刻 $(t-1)$ に算出したパスメトリック $M_0(t-1)$ とブランチメトリック $B_{00}(t)$ とを加算してパスメトリックを算出する。同様に、 $S_1(t-1)$ から $S_0(t)$ に向かう枝として時刻 $(t-1)$ に算出したパスメトリック $M_1(t-1)$ とブランチメトリック $B_{10}(t)$ とを加算してパスメトリックを算出する。そして、このようにして求めたパスメトリックのうちで最小値を持つパスを、最も確からしいパス(生き残りパス)とする。そして、このパスについて求めたパスメトリックの値を、時刻 t の状態が S_0 であることを前提とした場合の時刻 t における S_0 に至るパスメトリック $M_0(t)$ とする。また、ACS回路610は、各状態において選ばれた生き残りパスの枝に対応する出力値を、パスメモリ630, 631の最後段へそれぞれ出力する。この出力値は、エンコーダ401の出力系列を返り値としてもよいし、プリコーダ402の出力系列を返り値としてもよい。場合によっては、波形等化器405の出力を返り値としてもよい。本実施形態では、プリコーダ402の出力を返り値とするが、これに限るものではない。他のACS回路611~613も同様である。

【0036】パスメモリ630は、シフトレジスタによって構成されており、ACS回路610から時刻 $(t-1)$ の状態の通知が送られてくると、その通知された時刻 $(t-1)$ の状態に対応するシフトレジスタの時刻 $(t-1)$ の内容に書きかえる。そして、シフトレジスタの内容を1ビットシフトし、最前段の1ビットを推定結果として出力すると共に、これによって空いたシフトレジスタの最後段に、ACS回路610から送られた出力値を格納する。この結果得られたシフトレジスタの内容が、時刻 t におけるシフトレジスタの内容となる。この動作を各時刻において実行することにより、パスメモリ630には、ACS回路610が推定した生き残りパスに対応する出力値列が時系列順に格納されることになる。こ

ここで、本発明では、シフトレジスタの書きかえが収束判定器 660 によって制御される。すなわち、収束判定器 660 は、パスメモリ 630 ~ 633 の内容が収束していたかどうかを判定し、信号 650 ~ 653 をパスメモリ 630 ~ 633 に送り、書きかえを行うか否かを制御する。他のパスメモリ 631 ~ 633 も同様である。

【0037】図 4 は、パスメモリ部 621 の要部構成図である。パスメモリ 630 ~ 633 は、それぞれ、前述した生き残りパスに対応する出力値の列を格納するメインレジスタと、前述した書きかえ処理においてメインレジスタを書きかえる内容を一時的に保持するサブレジスタと、そのサブレジスタに書き込む内容を選択すると共に書き込みを行う（サブ）セレクト兼書き込みコントローラと、前記メインレジスタに書き込む内容を選択すると共に書き込みを行う（メイン）セレクト兼書き込みコントローラとからなる。図 4 には、パスメモリ 630 のメインレジスタ（セルレジスタ 700 ~ 706 からなる）およびサブレジスタ（セルレジスタ 720 ~ 726 からなる）と、パスメモリ 631 のメインレジスタ（セルレジスタ 710 ~ 716 からなる）と、パスメモリ 630 の（サブ）セレクト兼書き込みコントローラ 740 と、パスメモリ 630 の（メイン）書き込みコントローラ 741 とを示している。

【0038】パスメモリ 630 のメインレジスタの全セルレジスタ 700 ~ 706 から、収束判定器 660 に対して、信号 761 が出力されている。また、パスメモリ 631 のメインレジスタの全セルレジスタ 710 ~ 716 から、収束判定器 660 に対して、信号 762 が出力されている。また、同様に、他のパスメモリ 632, 633 のメインレジスタの全セルレジスタから、収束判定器 660 に対して、信号が出力されている。

【0039】収束判定器 660 は、メインレジスタの各セルレジスタの値が収束しているか否かを示すための 1 ビットをそれぞれ格納する CF レジスタ 750 ~ 753 を持つシフトレジスタを有している。

【0040】次に、レジスタの書きかえ方について、状態 S_0 を例にとり説明する。ACS 回路 610 から時刻 $(t-1)$ の状態がパスメモリ 630 に通知されると、パスメモリ 630 の（サブ）セレクト兼書き込みコントローラ 740 は、通知された ACS 回路 610 からの情報および収束判定器 660 の CF レジスタ 750 ~ 753 の値に基づいて、パスメモリ 630 ~ 633 のメインレジスタのセルレジスタのいずれかを選択し、その内容をパスメモリ 630 のサブレジスタの対応するセルレジスタへ書き込む。次に、（メイン）書き込みコントローラ 741 は、パスメモリ 630 のサブレジスタのセルレジスタ 720 ~ 726 の内容を 1 ビットシフトし、収束判定器 660 の CF レジスタ 750 ~ 753 の値に基づいて、パスメモリ 630 のサブレジスタのセルレジスタのいずれかを選択し、その内容をパスメモリ 630 のメイ

ンレジスタの対応するセルレジスタに書き込む。次に、全メインレジスタの内容を収束判定器 660 へ送る。収束判定器 660 は、メインレジスタの各々のセルレジスタにおいて、あるセルレジスタとその一段後のセルレジスタの値の組が全てのメインレジスタにおいて一致していた場合は、当該セルレジスタについては生き残りパスが収束したものと判定し、その判定結果を 1 ビットの情報として対応する CF レジスタに書き込む。収束している場合は例えば“0”を書き込み、収束していない場合は例えば“1”を書き込む。

【0041】次に、図 5、図 6 を参照して、上記書き込み過程をさらに詳細に説明する。図 5 は、PR (1, 0, -1) 伝送路に対して最尤復号が行われた場合の、各時刻における生き残りパスの選択過程の例を示したものである。各枝にふられた値は、実際にパスメモリ 630 ~ 633 に格納される復号値である。太線で描かれている部分は、生き残りパスが既に収束した部分である。

【0042】図 6 は、図 5 に示した復号過程が発生した場合のパスメモリ 630 ~ 633 内のレジスタの更新過程を示したものである。状態 S_0 に対応するサブレジスタを Sub 0、メインレジスタを Main 0、収束判定器 660 内のレジスタを CF と記す。また、Sub 0 内の各セルレジスタを、左から Sub 0-6, ..., Sub 0-0 と記し、この 6, ..., 0 をセルレジスタ番号と呼ぶことにする。他の全てのサブレジスタ、メインレジスタおよび CF についても同様に表記する。また、各サブレジスタの先頭列に [] で囲ってある値は、ACS_i 回路 610 ~ 613 によって選択された前段における状態の番号を表している。

【0043】時刻(0)：時刻(0)では、全てのサブレジスタおよびメインレジスタの保持する値は不定とする。これを、Sub 0-6, ..., Sub 0-0 においては #06, ..., #00 と記し、Sub 1-6, ..., Sub 1-0 においては #16, ..., #10 と記し、Sub 2-6, ..., Sub 2-0 においては #26, ..., #20 と記し、Sub 3-6, ..., Sub 3-0 においては #36, ..., #30 と記す。なお、メインレジスタの保持する値は、サブレジスタの保持する値と独立で構わないが、ここでは同じ値（不定値）が保持されているものとする。CF は、すべて“1”にリセットする。これは、どの段においても、レジスタの保持する値が収束していないことを示す。

【0044】時刻(1)：ACS が実行され、 S_0 , S_1 に対しては S_0 から伸びる枝が選択され、 S_2 , S_3 に対しては S_3 から伸びる枝が選択される。CF は全て“1”（どの段においても生き残りパスは未収束）なので、Sub 0 には Main 0 の保持する値がそのまま格納され、Sub 1 には Main 0 の保持する値がそのまま格納され、Sub 2 には Main 3 の保持する値がそのまま格納され、Sub 3 には Main 3 の保持する値がそのまま格納される。サブレジスタにメインレジスタの値が格納されると、CF は全て

“1”なので、サブレジスタの保持する値を全て1ビットシフトし、メインレジスタに格納する。このとき、Sub0-0の保持する値が、ビタビ検出器406の出力として、外へ出力される。Main0-6, Main1-6, Main2-6, Main3-6には、それぞれACS₀₆₁₀, ACS₁₆₁₁, ACS₂₆₁₂, ACS₃₆₁₃の出力が格納される。そして、(Main0-1, Main0-0)の値が、(Main2-1, Main2-0), (Main3-1, Main3-0)と不一致なので、Main*-0 (*は0~3)で生き残りパスは収束していない判定される。ここで2時刻分のビット値の組で収束状態を判定しているのは、PR (1, 0, -1) 伝送路の状態が2ビットで定義されているためである。生き残りパスが収束していないと判定されたので、対応するCF0に“1”が書き込まれる。同様に、CF1~CF6にも“1”が書き込まれる。

【0045】時刻(2): ACSが実行され、S₀, S₁に対してはS₀から伸びる枝が選択され、S₂, S₃に対してはS₂から伸びる枝が選択される。CFは全て“1”なので、Sub0にはMain0の保持する値がそのまま格納され、Sub1にはMain0の保持する値がそのまま格納され、Sub2にはMain1の保持する値がそのまま格納され、Sub3にはMain1の保持する値がそのまま格納される。サブレジスタにメインレジスタの値が格納されると、CFは全て“1”なので、サブレジスタの保持する値を全て1ビットシフトして、メインレジスタに格納する。このとき、Sub0-0の保持する値が、ビタビ検出器406の出力として、外へ出力される。Main0-6, Main1-6, Main2-6, Main3-6には、それぞれACS₀₆₁₀, ACS₁₆₁₁, ACS₂₆₁₂, ACS₃₆₁₃の出力が格納される。そして、(Main0-1, Main0-0)の値が、(Main1-1, Main1-0), (Main2-1, Main2-0), (Main3-1, Main3-0)と一致しているので、Main*-0 (*は0~3)で生き残りパスは1本に収束していると判定される。生き残りパスが収束していることが判定されたので、対応するCF0に“0”が書き込まれる。同様に、(Main0-2, Main0-1)の値が、(Main1-2, Main1-1), (Main2-2, Main2-1), (Main3-2, Main3-1)と一致しているので、Main*-1 (*は0~3)で生き残りパスは1本に収束していると判定され、対応するCF1に“0”が書き込まれる。同様に、CF2, CF3にも“0”が書き込まれる。しかし、(Main0-5, Main0-4)の値は、(Main2-5, Main2-4), (Main3-5, Main3-4)と不一致なので、Main*-4 (*は0~3)では生き残りパスは1本に収束していないと判定され、対応するCF4に“1”が書き込まれる。同様に、CF5, CF6にも“1”が書き込まれる。

【0046】時刻(3): ACSが実行され、S₀, S₁に対してはS₀から伸びる枝が選択され、S₂, S₃に対してはS₃から伸びる枝が選択される。基本的には、Sub0

にはMain0の保持する値を格納し、Sub1にはMain0の保持する値を格納し、Sub2にはMain3の保持する値を格納し、Sub3にはMain3の保持する値を格納するが、CFレジスタで“0”となっている所がある点を考慮する。すなわち、CFレジスタが“0”となっているセルレジスタ番号3~0のセルレジスタについては、まず、Sub0のセルレジスタ番号3~0のセルレジスタSub0-3, Sub0-2, Sub0-1, Sub0-0には、Main0-3, Main0-2, Main0-1, Main0-0の内容が書き込まれる(後述するように、ACSの結果がMain0の内容をSub0に書き込むというものになっていなかったとしても同じである)。これに対し、Sub1~Sub3のセルレジスタ番号3~0のセルレジスタについては、Sub0のセルレジスタ番号3~0のセルレジスタSub0-3, Sub0-2, Sub0-1, Sub0-0が収束結果を保持しているので、書き込みを行なわない。つまり、それらセルレジスタ(黒枠で囲った部分931, 921)へのクロック入力を止める。一方、CFレジスタが“1”となっているセルレジスタ番号6~4のセルレジスタについては、ACSの結果に従って通常通りの書き込みを行う。すなわち、Sub0-6~Sub0-4およびSub1-6~Sub1-4にはMain0-6~Main0-4の内容が書き込まれ、Sub2-6~Sub2-4およびSub3-6~Sub3-4にはMain3-6~Main3-4の内容が書き込まれる。

【0047】次に、サブレジスタの保持する値を1ビットシフトしてメインレジスタに格納するが、サブレジスタの一部のセルレジスタについて書き込みを止めた点を考慮する。すなわち、Main0だけは、通常通り、Sub0の内容を1ビットシフトして書き込むが、Main1~Main3については、Sub1~Sub3のセルレジスタ番号3~0のセルレジスタへの書き込みを止めたので、対応するセルレジスタ番号2~0のセルレジスタには書き込みを行わず、それらセルレジスタ(黒枠で囲った部分932, 922)へのクロックの入力を止める。一方、Sub1~Sub3のセルレジスタ番号6~4のセルレジスタへの書き込みは止めていないので、それらに保持する値を1ビットシフトして、対応するメインレジスタのセルレジスタ番号5~3のセルレジスタに書き込みを行なう。このとき、Sub0-0の保持する値が、ビタビ検出器406の出力として、外へ出力される。

【0048】そして、前時刻において“0”となっていたCF3~CF1については、それを右側のCF2~CF0にシフト(935)する。次いで、CF3に対応する(Main0-4, Main0-3)の値は、(Main2-4, Main2-3), (Main3-4, Main3-3)と不一致なので、Main*-3 (*は0~3)では生き残りパスは1本に収束していないと判定され、CF3に“1”が書き込まれる。同様に、CF4~CF6にも“1”が書き込まれる。

【0049】時刻(4): ACSが実行され、S₀, S₁に

対してはS₂から伸びる枝が選択され、S₂、S₃に対してはS₃から伸びる枝が選択される。基本的には、Sub 0にはMain 2の保持する値を格納し、Sub 1にはMain 2の保持する値を格納し、Sub 2にはMain 3の保持する値を格納し、Sub 3にはMain 3の保持する値を格納するが、CFレジスタで“0”となっている所がある点を考慮する。すなわち、CFレジスタが“0”となっているセルレジスタ番号2～0のセルレジスタについては、まず、Sub 0のセルレジスタ番号2～0のセルレジスタSub 0-2、Sub 0-1、Sub 0-0には、Main 0-2、Main 0-1、Main 0-0の内容が書き込まれる(ACSの結果がMain 0の内容をSub 0に書き込むというものになっていなかったとしても、Main 0の内容をSub 0に書き込む)。これに対し、Sub 1～Sub 3のセルレジスタ番号2～0のセルレジスタについては、Sub 0のセルレジスタ番号2～0のセルレジスタSub 0-2、Sub 0-1、Sub 0-0が収束結果を保持しているので、それらセルレジスタ(黒枠で囲った部分943、931の中のハッチングした部分941、933)への書き込みを行わない、一方、CFレジスタが“1”となっているセルレジスタ番号6～3のセルレジスタについては、ACSの結果に従って通常通りの書き込みを行う。すなわち、Sub 0-6～Sub 0-3およびSub 1-6～Sub 1-3にはMain 2-6～Main 2-3の内容が書き込まれ、Sub 2-6～Sub 2-3およびSub 3-6～Sub 3-3にはMain 3-6～Main 3-3の内容が書き込まれる。

【0050】次に、サブレジスタの保持する値を1ビットシフトしてメインレジスタに格納するが、サブレジスタの一部のセルレジスタについて書き込みを止めた点を考慮する。すなわち、Main 0だけは、通常通り、Sub 0の内容を1ビットシフトして書き込むが、Main 1～Main 3については、Sub 1～Sub 3のセルレジスタ番号2～0のセルレジスタへの書き込みを止めたので、対応するセルレジスタ番号1～0のセルレジスタ(黒枠で囲った部分944、932の中のハッチングした部分942、934)への書き込みを止める。一方、Sub 1～Sub 3のセルレジスタ番号6～3のセルレジスタへの書き込みは止めていないので、それらに保持する値を1ビットシフトして、対応するメインレジスタのセルレジスタ番号5～2のセルレジスタに書き込みを行なう。このとき、Sub 0-0の保持する値が、ビタビ検出器406の出力として、外へ出力される。

【0051】そして、前時刻において“0”となっていたCF 2～CF 1については、それを右側のCF 1～CF 0にシフトする。次いで、CF 2に対応する(Main 0-3、Main 0-2)の値は、(Main 1-3、Main 1-2)、(Main 2-3、Main 2-2)、(Main 3-3、Main 3-2)と一致するので、Main*-2(*は0～3)では生き残りパスは1本に収束していると判定され、CF 2に“0”が書き込まれる。同様に、CF 3にも“0”

が書き込まれる。次いで、CF 4に対応する(Main 0-5、Main 0-4)の値は、(Main 2-5、Main 2-4)、(Main 3-5、Main 3-4)と不一致なので、Main*-4(*は0～3)では生き残りパスは1本に収束していないと判定され、CF 4に“1”が書き込まれる。同様に、CF 5、CF 6にも“1”が書き込まれる。

【0052】時刻(5)、時刻(6):基本的には、時刻(3)(4)と同様の動作をする。CFの保持する値により、黒枠部分(951、961)の更新は行われない。収束判定の結果、時刻(5)でも時刻(6)でも、CF 6～CF 0は、“1110000”となる。

【0053】以上のような過程を踏みながらパスメモリ630～633の保持する値を更新/非更新していくことにより、正しい結果を出力できる。そして、生き残りパスが収束しているパスメモリのセルレジスタの動作を止めるので、消費電力の削減が可能になる。

【0054】図7は、磁気ディスク装置400の機械部の構成図である。磁気ディスク装置400の機械部は、データが書き込まれる磁気ディスク411と、磁気ディスク411を回転させるスピンドルモータ1201と、磁気ディスク411からデータの読み出しを行うヘッド1203と、そのヘッド1203を支えるアーム1202と、前記ヘッド1203を移動させるためのボイスコイルモータ1204と、前記ヘッド1203からの信号を増幅するR/Wアンプ410とを具備して成る。

【0055】図8は、磁気ディスク装置400の電子回路部の構成図である。磁気ディスク装置400の電子回路部は、ホスト等の情報処理装置に接続するためのインターフェイス1220と、そのインターフェイス1220の入出力を制御するインターフェイス制御回路1210と、データの受け渡しおよびフォーマット等の制御をする磁気ディスク装置コントローラ1211と、マイクロプロセッサ1212と、前記R/Wアンプ1206に対する信号を処理する信号処理回路420と、前記スピンドルモータ1201を制御するためのスピンドル制御回路1214と、ボイスコイルモータ制御回路1213とを具備して成る。

【0056】—第2実施形態—

図9は、前記磁気ディスク装置400を用いた情報処理システムの構成図である。この情報処理システム900は、情報処理装置1300と、その情報処理装置1300に接続された前記磁気ディスク装置400とからなる。前記情報処理装置1300は、内部バス1305に接続されたCPU 1301およびメモリ1302と、外部バス1306に接続された周辺インターフェイス1304と、前記内部バス1305と前記外部バス1306とを接続するブリッジ1303とから構成される。そして、前記情報処理装置1300は、周辺インターフェイス1304、磁気ディスク装置400内のインターフェイス1220を介して、磁気ディスク411のデータ1

315の読み出し／書き込みを行うことが出来る。

【0057】－第3実施形態－

第1実施形態のビタビ検出器406では、特定の状態に対応したパスメモリ(630)の最後段の値(Sub0-0)の値を最尤復号の結果として出力した。この場合、生き残りパスがどのような場合でも収束できる程度に十分に長くパスメモリ長をとる必要がある。このことは、ハードウェアと消費電力の増大をもたらす。これに対して、MLセクタと呼ばれるパスメモリセクタをパスメモリに取り付け、これにより必要なパスメモリ長を減らし、ハードウェアと消費電力を削減する方法がある。第3実施形態は、MLセクタを装備したビタビ検出器に対して、本発明を適用した実施形態である。

【0058】図10に、MLセクタを装備したビタビ検出器を示す。ビタビ検出器1000は、ブランチメトリック計算回路1001およびACS回路1010～1013から成るACS部1020と、パスメモリ1030～1033および収束判定器1060およびMLセクタ1070から成るパスメモリ部1021とから構成される。前記ACS回路1010～1013と前記パスメモリ1030～1033は、各々の状態Sに対応して設けられる。

【0059】前記ブランチメトリック計算回路1001、ACS回路1010～1013、パスメモリ1030～1033および収束判定器1060は、第1実施形態で説明したブランチメトリック計算回路601、ACS回路610～613、パスメモリ630～633および収束判定器660と同様の構成である。

【0060】前記MLセクタ1070には、全パスメモリ1030～1033の最後段の値1073と、CFの最後段の値1072と、全ACS回路1010～1013からのメトリック値とが、各時刻毎に送られる。

【0061】図11は、MLセクタ1070の要部構成図である。このMLセクタ1070は、比較器1100と、セクタ1101とから成る。ある時刻において送られてきたCFの値が“1”(すなわち状態が未収束)であった場合にのみ、各ACS回路1010～1013から送られてきたメトリック値M₀～M₃を比較し、最小のメトリック値を有する状態に対応するパスメモリが保持する値を、最尤パスを通った場合の復号結果とする。そして、ここで選ばれた状態に対応するパスメモリの最後段の値を、ビタビ検出器の出力とする。なお、最後段のCFが“1”であった場合は、その状態に至る途中でパスメモリ1030～1033の一部が停止することはありえないので、MLセクタ1070による最後段のパスメモリからの出力の選択が、停止しているパスメモリからの出力を選択してしまうことはない。

【0062】以上の第3実施形態では、最も確からしいパスに対応するパスメモリの出力を選択して出力するので、第1実施形態におけるよりもパスメモリ長が短くて

済み、ハードウェアと消費電力をより削減できる。

【0063】

【発明の効果】本発明のビタビ検出器、信号処理回路、記録再生装置および情報処理システムによれば、復号結果のビット誤り率を劣化させることなく、消費電力を削減することができる。

【図面の簡単な説明】

【図1】第1実施形態に係る磁気ディスク装置の信号系統モデルを表すブロック図である。

10 【図2】PRチャネルに対する入出力関係およびそのトレリス線図である。

【図3】第1実施形態に係るビタビ検出器の構成を示すブロック図である。

【図4】図3のビタビ検出器内のパスメモリ部の要部ブロック図である。

【図5】PRチャネルにおける生き残りパスの例を示すトレリス線図である。

【図6】第1実施形態に係るパスメモリの内容の変化を示す説明図である。

20 【図7】第1実施形態に係る磁気ディスク装置の機械部の構成図である。

【図8】第1実施形態に係る磁気ディスク装置の電子回路部の構成図である。

【図9】第2実施形態に係る情報処理システムの構成を示すブロック図である。

【図10】第3実施形態に係るビタビ検出器の構成を示すブロック図である。

【図11】MLセクタのブロック図である。

30 【図12】磁気ディスク装置の信号系統モデルを表すブロック図である。

【図13】EPRチャネルに対する入出力関係およびそのトレリス線図である。

【図14】従来のビタビ検出器の一例の構成を示すブロック図である。

【符号の説明】

400：磁気ディスク装置

405：波形等化器

406、1000：ビタビ検出器

411：磁気ディスク

40 420：信号処理回路

601、1001：ブランチメトリック計算回路

610～613、1010～1013：ACS回路

620、1020：ACS回路部

621、1021：パスメモリ部

630～633、1030～1033：パスメモリ

660、1060：収束判定器

700～736：パスメモリ630のメインレジスタのセルレジスタ

740：パスメモリ630の(サブ)セクタ兼書き込みコントローラ

741: パスメモリ630の(メイン)書き込みコントローラ

750~753: 収束判定器660内のCFレジスタ

900: 情報処理システム

921, 922, 931, 932: 時刻(3)で書きかえられないレジスタ部分

933, 934, 941, 942: 時刻(4)で書きかえられないレジスタ部分

935: CFレジスタの保持する値のシフティングを示す

す矢印

951, 952: 時刻(5)で書きかえられないレジスタ部分

961, 962: 時刻(6)で書きかえられないレジスタ部分

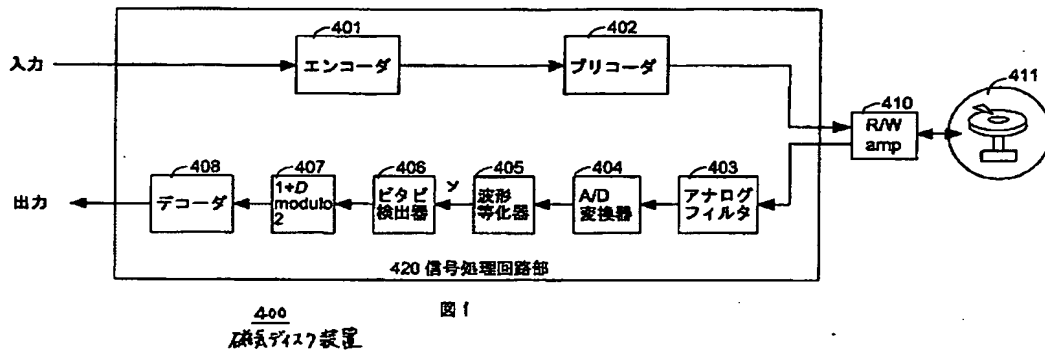
1070: MLセクタ

1100: 比較器

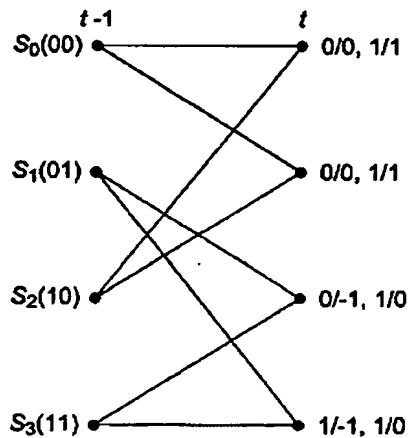
1101: セクタ

1300: 情報処理装置

【図1】



【図2】



チャンネル入力値(ビタビ検出器出力値)/目標値 Z

図2

【図7】

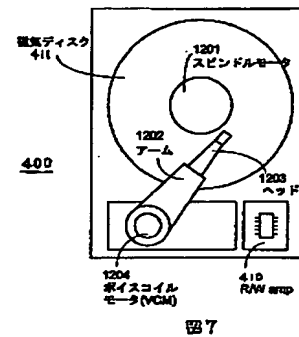


図7

【図8】

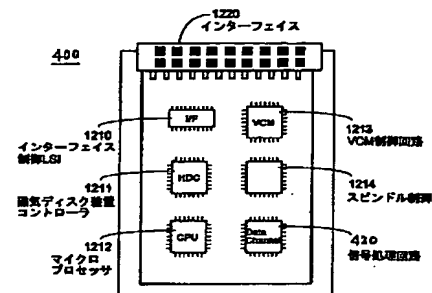


図8

【図 3】

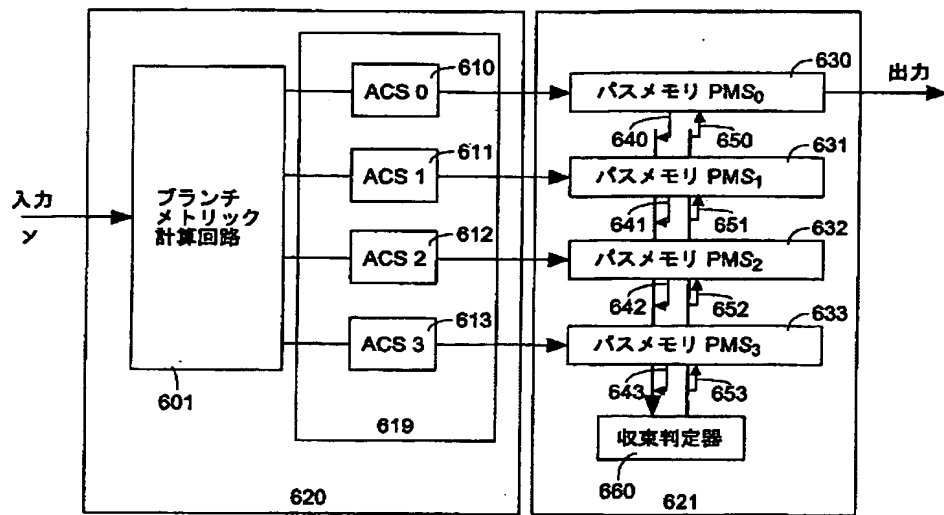


図3

406
ビット抽出器

【図 5】

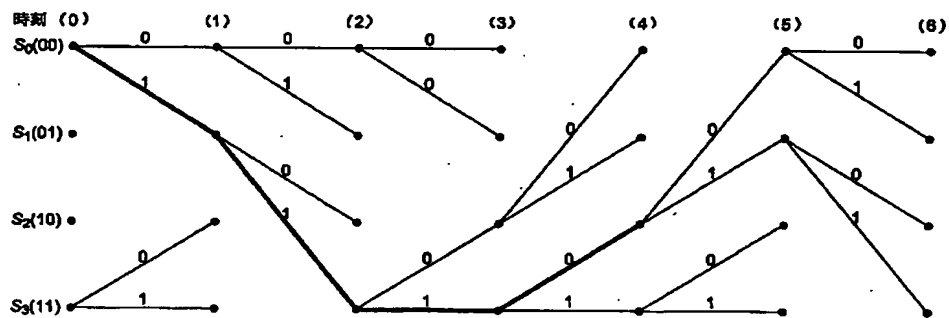


図5

【図 1 2】

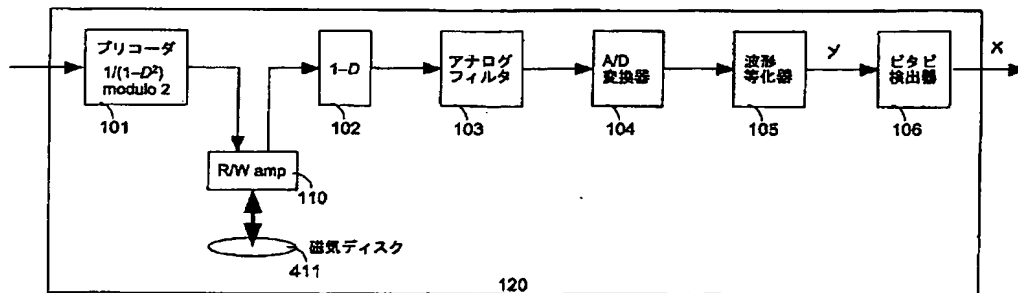
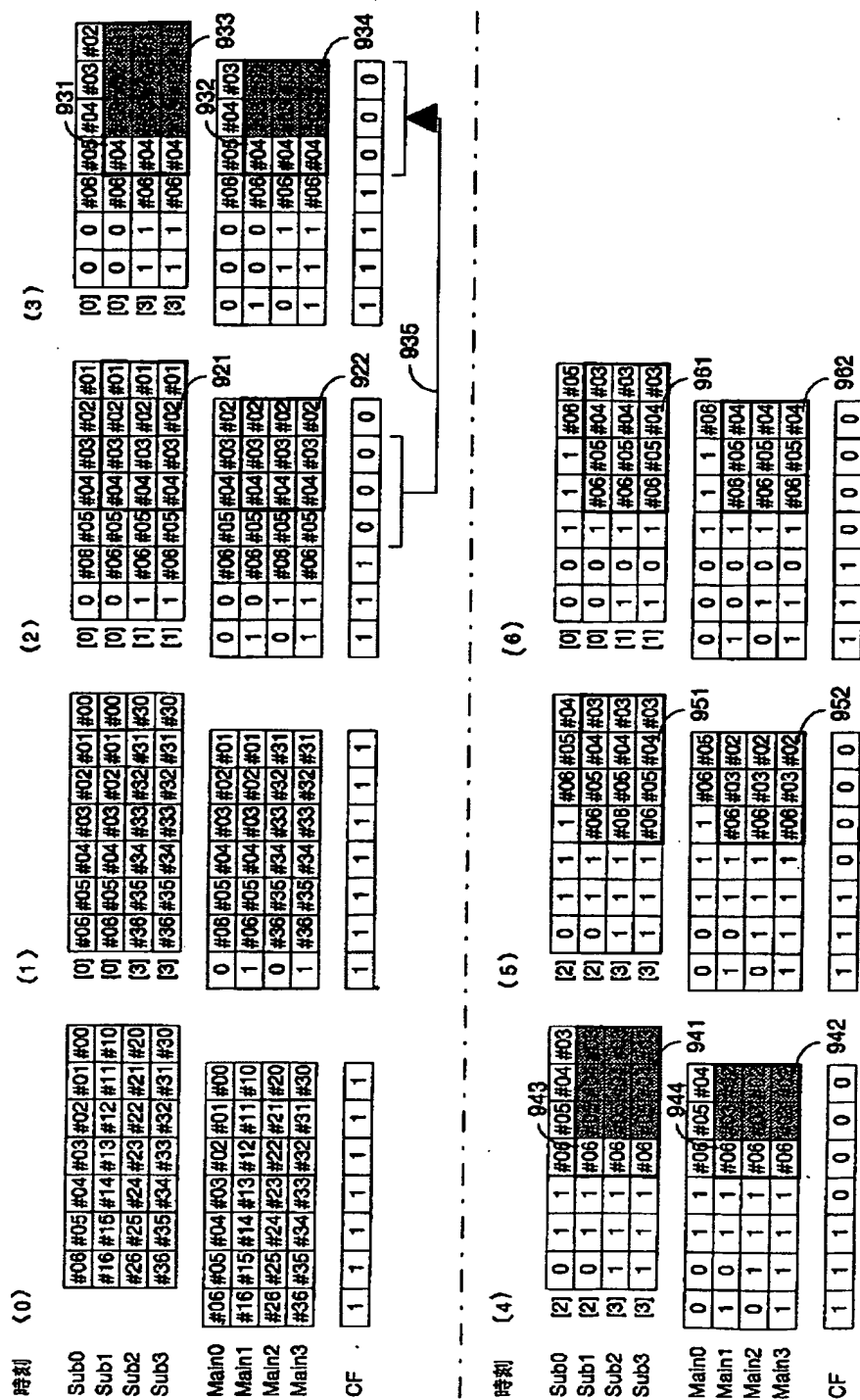
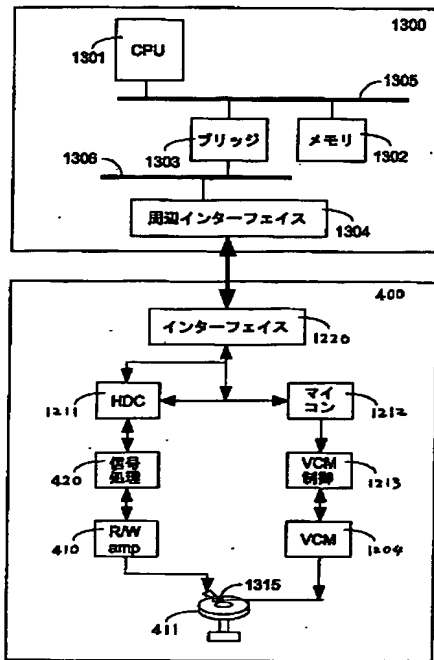


図12

9



【図 9】

900
情報処理システム 図9

【図 11】

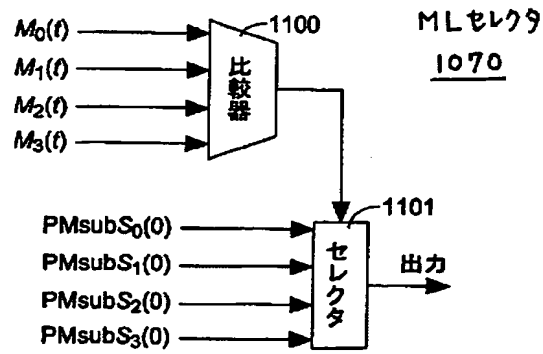


図11

【図 10】

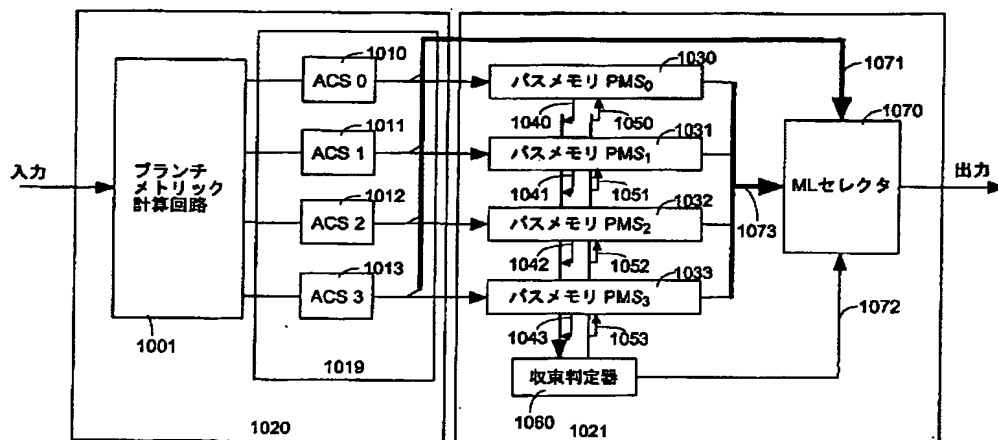


図10

1000
ビット模出器

【図 13】

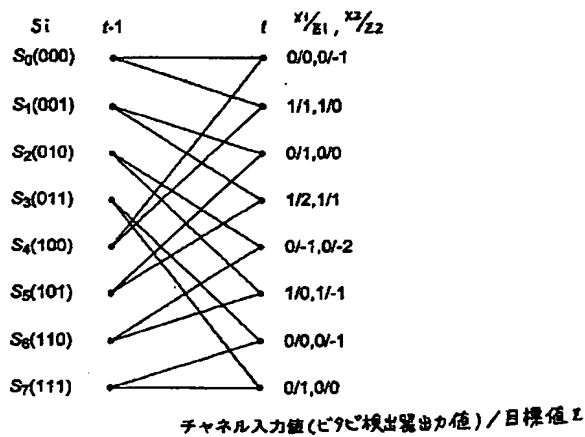


図13

【図 14】

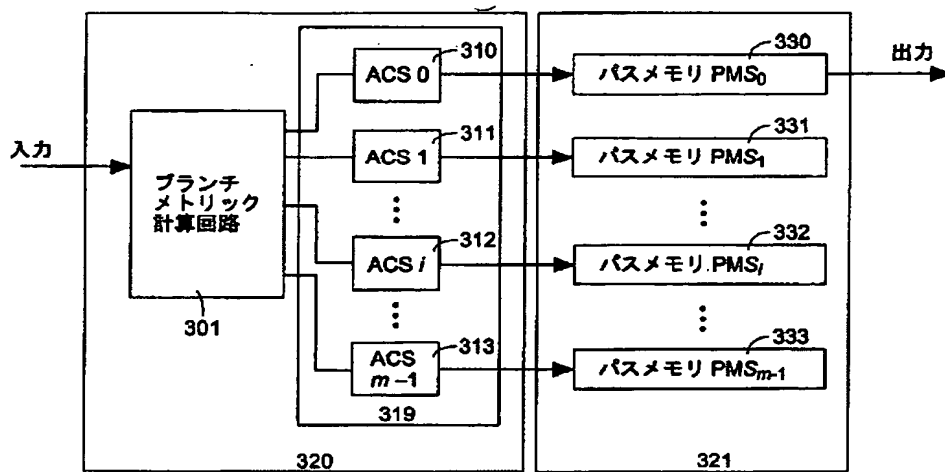


図14

106
ビタビ検出器

フロントページの続き

(72)発明者 山川 秀之
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内
(72)発明者 奈良 孝
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 井出 博史
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内
Fターム(参考) 5B001 AA10 AB05 AC03 AD04
5D044 FG01 GL31 GL32
5J065 AA01 AB01 AC02 AD10 AE06
AF03 AG05 AH23